

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-075779

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H01G 4/252
H01G 4/30

(21)Application number : 2000-252078

(71)Applicant : TDK CORP

(22)Date of filing : 23.08.2000

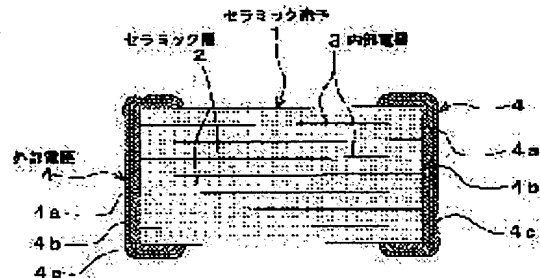
(72)Inventor : AIBA TAKASHI
NAKAGAWA TOMOJI

(54) CERAMIC ELECTRONIC COMPONENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a ceramic electronic component, capable of surely conducting an image recognition and efficiently mounting and having a surface of an outer electrode capable of being recovered and fixed to a normal land, when it is deviated and mounted on a circuit pattern or soldered in a reflow furnace.

SOLUTION: Internal electrodes 3 are disposed in a ceramic element 1, and external electrodes 4 conducting with the electrodes 3 are arranged at both ends of the element 1. Each electrode 4 has a three-layer structure having a Cu layer 4a, an Ni-plated film layer 4b and an Sn-plated film layer 4c of an outermost layer. Grains on the surface of the outermost layer have a surface roughness (Ra) within a range of 1.0 to 4.0 μm .



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-75779

(P 2002-75779 A)

(43) 公開日 平成14年3月15日 (2002. 3. 15)

(51) Int. Cl. 7	識別記号	F I	テーマコード (参考)
H 0 1 G	4/252	H 0 1 G	4/30 3 0 1 F 5E082
	4/30		1/14 V

審査請求 未請求 請求項の数 2

O L

(全 5 頁)

(21) 出願番号 特願2000-252078 (P2000-252078)

(22) 出願日 平成12年8月23日 (2000. 8. 23)

(71) 出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72) 発明者 相庭 尚

東京都中央区日本橋一丁目13番1号ティー
ディーケイ株式会社内

(72) 発明者 中川 智司

東京都中央区日本橋一丁目13番1号ティー
ディーケイ株式会社内

(74) 代理人 100079290

弁理士 村井 隆

F ターム (参考) 5E082 AA01 AB03 BC40 FG26 GG10

GG11 GG26 GG28 JJ03 JJ12

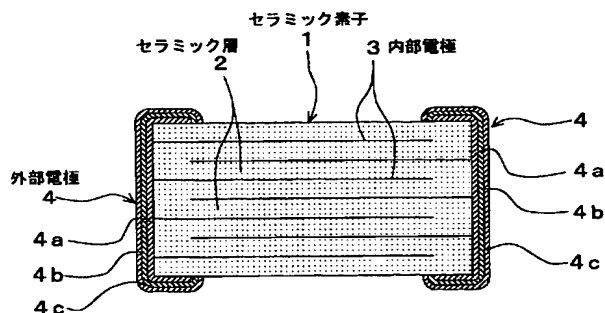
JJ23 MM28 PP04

(54) 【発明の名称】 セラミック電子部品

(57) 【要約】

【課題】 画像認識を確実にし、効率よく実装を行うことができ、更に、回路パターンにずれて装着したもので、リフロー炉ではんだ付けした場合、正規のランドに修復固着出来る外部電極表面を有するセラミック電子部品を提供する。

【解決手段】 セラミック素子 1 中に内部電極 3 を配置し、かつ、セラミック素子 1 の両端側に、内部電極 3 と導通する外部電極 4 を配設する。そして、外部電極 4 は、Cu 層 4 a、Ni メッキ膜層 4 b、最外層である Sn メッキ膜層 4 c からなる三層構造を有している。前記最外層表面のグレインは、表面粗さ (Ra) で、1. 0 ~ 4. 0 μm の範囲内となっている。



【特許請求の範囲】

【請求項 1】 少なくとも最外層がメッキ膜からなる外部電極が形成されたセラミック電子部品において、前記外部電極の最外層表面のグレインが、表面粗さ（ R_a ）で、 $1.0 \sim 4.0 \mu m$ の範囲内であることを特徴とするセラミック電子部品。

【請求項 2】 前記外部電極が多層構造を有し、かつ、前記最外層が Sn メッキ膜、又は Sn 合金メッキ膜からなる請求項 1 記載のセラミック電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、セラミック電子部品に係り、詳しくは、少なくとも最外層がメッキ膜からなる外部電極が形成されたセラミック電子部品に関する。

【0002】

【従来の技術】近年、積層セラミックコンデンサや積層 LC 複合部品等の表面実装型積層セラミック電子部品の小型化が急激に進められている。通常、表面実装型積層セラミック電子部品の両端部には外部電極（外部端子）が形成されている。この外部電極の電極層の構成は、下地電極として焼付けにより形成する導電層、この上に、電気メッキにより Ni、Sn メッキの順番で導電層を形成する。

【0003】それらの積層セラミック電子部品を回路基板等を実装する場合、画像認識装置を用いてその位置や方向性を検知しながら実装装着することが一般的に知られている。

【0004】ところで、積層セラミック電子部品の両端部の外部電極形成方法は、バレルに多数の電子部品と通電用媒体（メディア）を入れ、メッキ液中でバレルを回転させながら夫々のメッキを構成するものである。この時の Sn メッキ膜表面のグレイン形状（凹凸）が、電流密度、メッキ液の添加剤の種類等により決定されるが、メッキと研磨が同時進行のため外部端子の表面の平滑性が非常に高い。図 4（B）に従来の積層セラミック電子部品の外部電極最外層のグレイン拡大写真を示す。

【0005】

【発明が解決しようとする課題】上記したように、メッキ膜形成後の積層セラミック電子部品に光を照射してその反射光を CCD カメラで二値化して外観認識する方法では、外部電極の光沢の状態がロットによって大きく変動し、電子部品を構成するセラミックと外部電極のメッキ膜との光沢の差が極端に小さくなって、セラミックと外部電極の区別ができなくなり、積層セラミック電子部品を正確に認識することができなくなるという問題点がある。

【0006】更に、回路パターンに積層セラミック電子部品を実装する時、マウント機のばらつきや回路基板のパターンばらつきにより、正規の位置に積層セラミック

電子部品がマウントされない場合があり、ずれた状態で載置される。

【0007】図 3（A）は実装相手側基板上のランドパターン 10 の寸法及び配置の例、同図（B）は積層セラミック電子部品 11 のリフロー後のランドパターン 10 に対する正規位置、同図（C）は正規位置と $0.15 mm$ ずれたマウント状態である。

【0008】積層セラミック電子部品のマウント後、リフロー炉ではんだ付けされ、回路パターンと外部端子が固着されるが、最近の電子部品の小型化に伴い固着するためのはんだ量も少なくなっているため、一旦図 3

（C）のようにずれてマウントされた状態が修復されないまま固着され回路基板上で他の電子部品と接触し、ショート発生の問題等がある。

【0009】本発明は、上記問題点を解決するものであり、画像認識を確実に行うことが可能で、効率よく実装を行うことができ、更に、回路パターンにずれて装着したもので、リフロー炉ではんだ付けした場合、正規のランドに修復固着出来る外部電極表面を有するセラミック電子部品を提供することを目的とする。

【0010】本発明のその他の目的や新規な特徴は後述の実施の形態において明らかにする。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明は、少なくとも最外層がメッキ膜からなる外部電極が形成されたセラミック電子部品において、前記外部電極の最外層表面のグレインが、表面粗さ（ R_a ）で、 $1.0 \sim 4.0 \mu m$ の範囲内であることを特徴としている。

【0012】前記セラミック電子部品において、前記外部電極が多層構造を有し、かつ、前記最外層が Sn メッキ膜、又は Sn 合金メッキ膜であるとよい。

【0013】

【発明の実施の形態】以下、本発明に係るセラミック電子部品の実施の形態を図面に従って説明する。

【0014】図 1 及び図 2 は本発明に係るセラミック電子部品の実施の形態であり、積層セラミックコンデンサを例にとって説明する。図 1 はその積層セラミックコンデンサの正断面図、図 2 は積層セラミックコンデンサにおける外部電極構成の拡大断面図である。

【0015】これらの図に示すように、積層セラミックコンデンサは、セラミック素子 1 中に、セラミック層 2 を介して静電容量形成用の内部電極 3 を配置し、かつ、セラミック素子 1 の両端側に、内部電極 3 と導通する外部電極 4 を配設することにより形成されている。そして、外部電極 4 は、Cu 層（焼付け Cu 電極）4 a、Ni メッキ膜層 4 b、最外層である Sn メッキ膜層 4 c からなる三層構造を有している。

【0016】次に、上記外部電極 4 の形成方法について説明する。この実施の形態では、外部電極 4 を形成する

にあたって、まず、Cu粉末を導電成分とする導電ペースト（Cuペースト）をセラミック素子1の両端部に塗布して焼き付けることによりCu層4aを形成する。それから、Ni浴（ワット浴）において、 0.5 A/cm^2 、30分の条件でNi電気メッキを行い、Cu層4a上にNiメッキ膜層4bを形成する。次に、Sn浴（中性Sn浴）において、 0.1 A/cm^2 、120分の条件で、Sn電気メッキを行い、Niメッキ膜層4b上にSnメッキ膜層4cを形成する。図2のようにそのSnメッキ膜層4cは表面にグレイン5を有し、そのグレインは、表面粗さ（Ra）で、 $1.0\sim 4.0\text{ }\mu\text{m}$ の範囲内にあるように設定されている。表面粗さ（Ra）は日本工業規格（B0601）で規定された中心線平均粗さである。

【0017】なお、この実施の形態では、Niメッキ、Snメッキを行うにあたって、通常のパレルメッキ方法（かご状のパレルを用いた電気メッキ）によりメッキ膜を形成した。

【0018】上記のメッキ方法によれば、Snメッキ時の電流密度により最外層のSnメッキ膜層4c表面に所要の粗さのグレインを形成でき、その粗さを中心線平均粗さRaで 1.0 から $4.0\text{ }\mu\text{m}$ の範囲でコントロールすることが可能であり、Snメッキ膜を効率よく形成す*

することも可能になる。そして、その結果、回路基板に実装する際に、セルフアライメント性（位置が修復される性質）の良い電子部品を製造することが可能になる。図4（A）に本実施の形態の場合における外部電極最外層のグレイン拡大写真を示す。図4（B）の従来の場合に比してグレインが大きく、つまり粗い表面となっていることが判る。

【0019】なお、上記の方法で製造した、外部電極4の最外層のグレインが表面粗さでRa = 1.0 から $4.0\text{ }\mu\text{m}$ の間である本発明の実施形態にかかる積層セラミックコンデンサと、パレルメッキ方法の電流密度を変更してメッキを行って外部電極の最外層を形成した、従来例、比較例の積層セラミックコンデンサを回路基板に図3（C）のようにそれぞれ 0.15 mm ずらして実装し、リフロー炉に通炉後の位置ずれの発生割合及び蒸気エージング試験の結果を以下の表1に示す。ここで、蒸気エージング試験は日本工業規格（C0050）に定められたはんだ付け試験方法の一種であり、試料を水蒸気にさらす試験であり、表1では4時間水蒸気にさらした場合を示す。

【0020】

【表1】

試料NO.	グレインの表面粗さRa (μm)	リフロー後のずれの有無 [% (n=1000)]	蒸気エージング4時間後のはんだ濡れ性不良 [% (n=1000)]
1(従来例) ×	0.5	1.1	0
2(比較例) ×	0.7	0.5	0
3(実施の形態) ○	1.0	0	0
4(実施の形態) ○	2.0	0	0
5(実施の形態) ○	3.5	0	0
6(実施の形態) ○	4.0	0	0
7(比較例) ×	5.0	0	0.7

表1に示すように、試料NO. 1, 2（従来例、比較例）の場合、つまり表面粗さ（Ra）が $1\text{ }\mu\text{m}$ 未満の場合、ずれの修復が完全にできず図3（C）のように装着時のずれがそのまま残って固着されるものがでてくる。NO. 1ではサンプル個数n = 1000のうちの1.1%、NO. 2ではサンプル個数n = 1000のうちの0.5%がリフロー後においてもずれが残っている。

【0021】また、表面粗さが（Ra）が $4\text{ }\mu\text{m}$ を超える試料NO. 7（比較例）のものは、ずれの修復をすることはできるが蒸気エージング試験において、はんだ濡れ性不良が発生し、良好な固着が出来ない問題が発生する。つまり、NO. 7ではサンプル個数n = 1000のうちの0.7%が蒸気エージング試験において不良となっている。

【0022】これに対して、表面粗さ（Ra）で、 $1.0\sim 4.0\text{ }\mu\text{m}$ の範囲内にある試料NO. 3, 4, 5, 6（実施の形態）のものは、リフロー後においてずれ修復が完全になされ、蒸気エージング試験においても、は

んだ濡れ性不良の発生が無く、高精度の固着が出来た。

【0023】この実施の形態によれば、次の通りの効果を得ることができる。

【0024】(1) メッキ膜からなる外部電極4の最外層表面のグレイン5が表面粗さでRa : 1.0 から $4.0\text{ }\mu\text{m}$ の間となるようにしているので、実装時のセルフアライメント性とはんだ濡れ性を満足可能である。

【0025】(2) 外部電極4は、はんだ付け性等を考慮して、Snメッキ膜やSn合金メッキ膜を外部電極の最外層とするものが多いが、その場合に、本実施の形態を適用することにより、はんだ濡れ性を確保しつつ実装時のセルフアライメント性を良好にできる。

【0026】(3) 外部電極4の最外層表面のグレインが適切な表面粗さであり、セラミック素子1と外部電極4のメッキ膜との光沢に差を持たせることができ、セラミック素子1と外部電極4を区別して画像認識を確実に行うことが可能で、効率よく実装を行うことができる。

【0027】なお、上記実施の形態では、外部電極4の

最外層のグレインをバレルメッキ方法における電流密度でコントロールしたが、メッキ液の添加剤を変更して所要のグレインを形成することも可能であり、外部電極の最外層の形成方法には必ずしも制約はなく、種々の方法を用いることが可能である。

【0028】また、上記実施の形態では、外部電極の最外層がSnメッキ膜である場合について説明したが、最外層がSnメッキ膜である場合に限らず、はんだメッキ膜等の場合や、さらにその他のものである場合にも本発明を適用することが可能である。

【0029】さらに、外部電極の下層がCu層やNiメッキ膜層に限られるものでないことはいうまでもない。但し、最下層はセラミック素子への付着性の良い金属層（Ag等）、また中間層ははんだ喰われ防止機能のある金属層であることが望ましい。

【0030】また、上記実施の形態では、積層セラミックコンデンサを例にとって説明したが、本発明は、積層セラミックコンデンサに限らず、少なくとも最外層がメッキ膜からなる外部電極が形成された種々のセラミック電子部品に適用することが可能であり、その場合にも上

記実施の形態の場合と同様の効果を得ることができる。

【0031】なお、本発明はさらにその他の点においても上記実施の形態に限定されるものではなく、外部電極の具体的な形状や構造等に関し、発明の要旨の範囲内において、種々の応用、変形を加えることが可能である。

【0032】

【発明の効果】以上説明したように、本発明に係るセラミック電子部品によれば、少なくとも最外層が電気メッキ膜からなる外部電極が形成されたセラミック電子部品

において、前記外部電極の最外層表面のグレインが、表面粗さ（Ra）で、1.0～4.0μmの範囲内であるようにしたので、実装時のセルフアライメント性（リフロー時に位置が修正される性質）とはんだ濡れ性を満足させ得る。

【0033】また、前記外部電極が多層構造を有し、かつ、前記最外層がSnメッキ膜、又はSn合金メッキ膜からなる場合、Sn、Sn合金以外の最外層に比べてはんだ濡れ性をいっそう改善して、実装時のセルフアライメント性も良好なものとすることが可能である。

【図面の簡単な説明】

【図1】本発明に係るセラミック電子部品の第1の実施の形態であって、積層セラミックコンデンサを例にとって示す正断面図である。

【図2】同じく要部拡大断面図である。

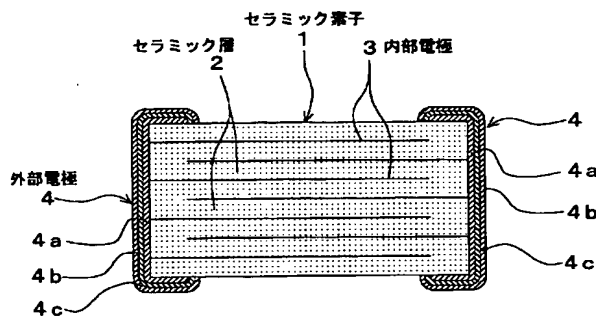
【図3】実装相手側基板上のランドパターン寸法及び配置及びセラミック電子部品の実装の様子を説明する平面図である。

【図4】本発明の実施の形態の場合及び従来の場合のグレインの拡大図である。

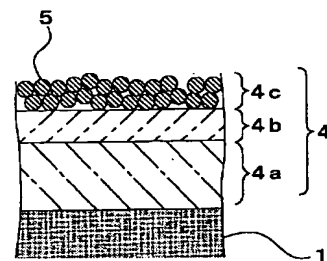
【符号の説明】

- 1 セラミック素子
- 2 セラミック層
- 3 内部電極
- 4 外部電極
- 4a Cu層
- 4b Niメッキ層
- 4c Snメッキ層
- 5 グレイン

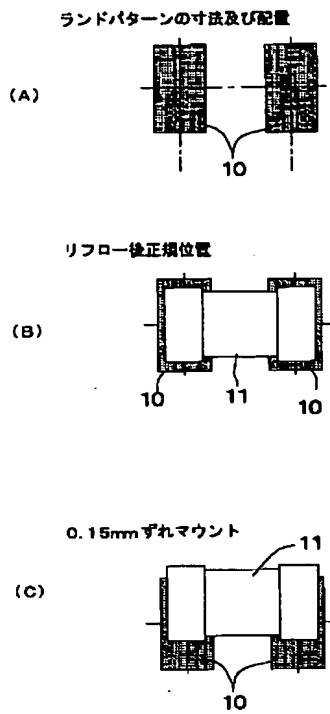
【図1】



【図2】



【図 3】



【図 4】

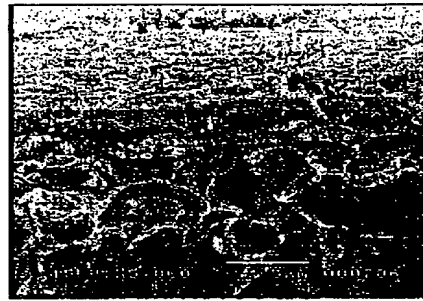
(実施の形態のグレイン)

(A)



(従来のグレイン)

(B)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.